

PATENT
0941-0839P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HUANG, Chiu-Tsung et al. Conf.:
Appl. No.: NEW Group:
Filed: September 22, 2003 Examiner:
For: DUAL-BIT NITRIDE READ ONLY MEMORY CELL
WITH PARASITIC AND METHODS OF
FABRICATING AND READING THE SAME

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 22, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	092103059	February 14, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

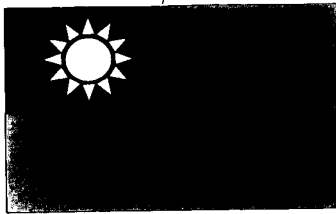
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

KM/sll
0941-0839P

Attachment(s)



HUANG, C. H. Tsung et al
September 22, 2003
092103059
09410839P
1 of 1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 02 月 14 日
Application Date

申請案號：092103059
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 22 日
Issue Date

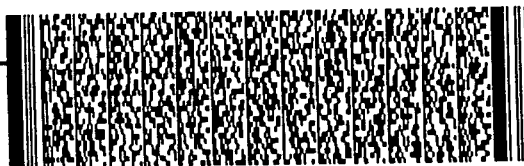
發文字號：09220841470
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有寄生放大器之二位元氮化物唯讀記憶單元、其製造方法以及讀取其記憶狀態之方法
	英文	DUAL-BIT NITRIDE READ ONLY MEMORY CELL WITH PARASISTIC AMPLIFIER AND METHOD OF FABRICATING AND READING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 黃丘宗 2. 洪至偉
	姓名 (英文)	1. Chiu-Tsung Huang 2. Chih-Wei Hung
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市東香里10鄰富群街30巷1弄37號 2. 新竹市花園街106號7樓之3
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或姓名 (英文)	1. Powerchip Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行一路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Frank Huang



四、中文發明摘要 (發明名稱：具有寄生放大器之二位元氮化物唯讀記憶單元、其製造方法以及讀取其記憶狀態之方法)

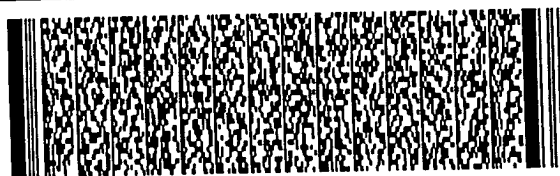
本發明係關於一種具有寄生放大器的二位元氮化物唯讀記憶單元，包括：一半導體基底；一第一井區，設置於上述半導體基底內且具有與半導體基底相反之電性；一第二井區，設置於上述第一井區內且具有與第一井區相反之電性；一閘極介電層，設置於上述第二井區之部份表面，且包括一氮化物層；一導電層，設置於上述閘極介電層上並與閘極介電層構成一閘極；以及一對第一摻雜區，對稱地設置於上述閘極兩側之第二井區內並部份接觸閘極且具有與第二井區相反之電性，其中藉由上述第一摻雜區之一、第二井區以及第一井區以構成一寄生之電流放大器；此外，本發明亦關於上述唯讀記憶單元之製造方法及讀取其記憶狀態之方法。

伍、(一)、本案代表圖為：第9圖

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文發明摘要 (發明名稱：DUAL-BIT NITRIDE READ ONLY MEMORY CELL WITH PARASITIC AMPLIFIER AND METHOD OF FABRICATING AND READING THE SAME)

A dual-bit nitride read only memory (NROM) cell with a parasitic amplifier comprises a substrate, a first well with a opposite charge conductivity to the substrate installing in the substrate, a second well with a opposite charge conductivity to the first well installing in the first well, a gate dielectric layer including a nitride layer partially provided on the surface of



四、中文發明摘要 (發明名稱：具有寄生放大器之二位元氮化物唯讀記憶單元、其製造方法以及讀取其記憶狀態之方法)

100~ 矽基底；

114、118~ 氧化層；

116~ 氮化矽層；

148~ 通道；

144、146~ 電荷儲存區；

102、108、124、132~ 遮蔽層；

104、110、126、134~ 離子植入程序；

106~ 第一井區；

112~ 第二井區；

120~ 導電層；

122~ 閘極介電層；

128、130~ 第一摻雜區；

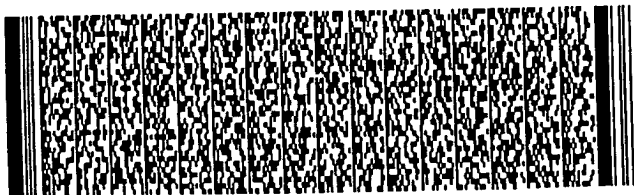
136、138~ 第二摻雜區；

140、142~ 位元；

150~ 第一電壓；

陸、英文發明摘要 (發明名稱：DUAL-BIT NITRIDE READ ONLY MEMORY CELL WITH PARASITIC AMPLIFIER AND METHOD OF FABRICATING AND READING THE SAME)

the second well, a conductive layer provided on the gate dielectric layer to form a gate and a pair of first dopant areas symmetrically provided in two sides of the second well and partially contact the gate, wherein one of the first dopant areas, the second well and the first well constitute a parasitic current amplifier. In addition, the present invention also discloses



四、中文發明摘要 (發明名稱：具有寄生放大器之二位元氮化物唯讀記憶單元、其製造方法以及讀取其記憶狀態之方法)

152~第二電壓；

G~閘極；

E~射極；

B~基極；

C~集極；

I_B ~遺漏電流；

I_C ~放大電流。

陸、英文發明摘要 (發明名稱：DUAL-BIT NITRIDE READ ONLY MEMORY CELL WITH PARASISTIC AMPLIFIER AND METHOD OF FABRICATING AND READING THE SAME)

methods of fabricating and reading the cell.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

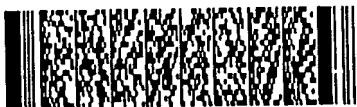
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

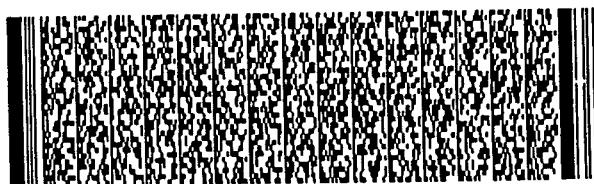
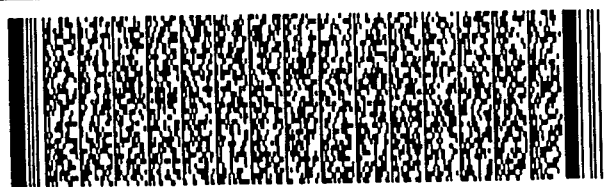
一、發明所屬之技術領域：

本發明係有關於一種非揮發記憶單元及其製造方法，特別是有關於一種具有寄生放大器之二位元氮化物唯讀記憶單元(Nitride Read Only memory cell; NROM cell)、其製造方法以及讀取其記憶狀態之方法，可簡單且明顯地區分出此二位元氮化物唯讀記憶單元中各位元之記憶狀態。

二、先前技術：

在非揮發記憶體工業中，氮化物唯讀記憶單元(NROM cell)的發展起源於西元1996年。此新式的非揮發記憶體技術係採用氧化—氮化—氧化(oxide-nitride-oxide, ONO)層作為閘極介電層(gate dielectric)並藉由習知之程式化及抹除之機制而建立起每一記憶單元擁有兩分離之位元。因此，氮化物唯讀記憶單元之位元大小約為整個記憶單元面積之一半。由於矽晶粒之尺寸大小為成本架構中的主要要素，顯然這就是氮化物唯讀記憶單元技術為何能具有經濟上的競爭力之原因。

第1圖係繪示出一傳統的二位元氮化物唯讀記憶單元之結構剖面示意圖。此記憶單元包含一矽基底10，以及經離子植佈而形成於矽基底10內之兩擴散區12及14，此等擴散區之電性與矽基底10電性相反。而於矽基底10表面則形成有由個別之兩氧化層16及20及為此兩氧化層所包夾之氮化矽層18所構成之一ONO層22。於此ONO層22上則更形成有閘極導電層24。此外，於擴散區12及14間之ONO層22下方



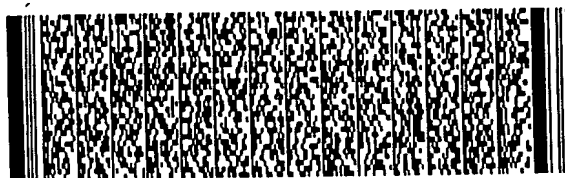
五、發明說明 (2)

則形成有一通道26。

在ONO層22中的氮化矽層18具有兩電荷儲存區28及30，其分別鄰近於擴散區12及14。此二電荷儲存區28以及30係於程式化記憶單元期間提供電荷儲存之空間。當程式化左邊的位元時則利用左邊的擴散區12作為汲極並接收一高程式化電壓。同時，右邊的擴散區14係作為源極並接地，並利用電荷儲存區28以儲存電荷。同理，當程式化右邊的位元時則利用右邊的擴散區14作為汲極並接收一高程式化電壓。同時，左邊的擴散區12係作為源極並接地而利用電荷儲存區30以儲存電荷。再者，當讀取左邊的位元（電荷儲存區28）時，左邊的擴散區12則作為源極且右邊的擴散區14係作為汲極。同理，當讀取右邊的位元（電荷儲存區30）時，右邊的擴散區14作為源極且左邊的擴散區12係作為汲極。另外，進行抹除時，其源汲極的相對位置與進行程式化時相同。

而上述記憶體單元中各位元的讀取方法，係以MOS電晶體之正常操作方式進行。當電荷儲存區28或30內存在有電荷時（即已程式化），將造成此記憶單元臨界電壓的提升。故欲讀取一已程式化之位元時，施加於閘極導電層24上之讀取電壓將無法開啟通道26並形成導通。倘若電荷儲存區28或30內無電荷儲存時（即未程式化），施加於閘極導電層22上之讀取電壓將可開啟通道26並形成導通。

於美國第5768192號專利案中，Eitan則揭露了另一種改良的氮化物唯讀記憶單元(NROM cell)讀取方法，其程



五、發明說明 (3)

式化與其讀取之方向互為相反。

三、發明內容：

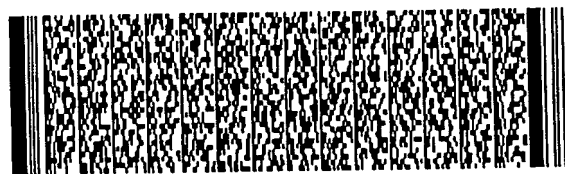
在此，本發明的主要目的就是提供一種新穎的二位元氮化物唯讀記憶單元、其製造方法以及讀取其記憶狀態之方法。此二位元氮化物唯讀記憶單元內形成有寄生放大器，並於讀取此記憶單元內記憶狀態時可開啟並放大記憶單元內之遺漏電流以形成一放大電流，藉由判讀此放大電流可準確地讀取出此記憶單元內特定位元之記憶狀態。

為達上述目的，本發明提供了一種具有寄生放大器的二位元氮化物唯讀記憶單元之製造方法，其步驟包括：

提供一半導體基底；於上述半導體基底內形成一第一井區，其中第一井區具有與該半導體基底相反之電性；於上述第一井區內形成一第二井區，其中第二井區具有與第一井區相反之電性；依序形成一介電層及一導電層於上述第二井區表面，並定義介電層及導電層以構成一閘極於第二井區之部份表面上，其中上述介電層包含一氮化物層；以及形成一對第一摻雜區，對稱地設置於上述閘極兩側之第二井區內並部份接觸閘極且具有與第二井區相反之電性，其中藉由上述第一摻雜區之一、第二井區以及第一井區以構成一寄生之電流放大器(parasitic current amplifier)。

又根據上述目的，本發明提供一種具有寄生放大器的二位元氮化物唯讀記憶單元，包括：

一半導體基底；一第一井區，設置於上述半導體基底



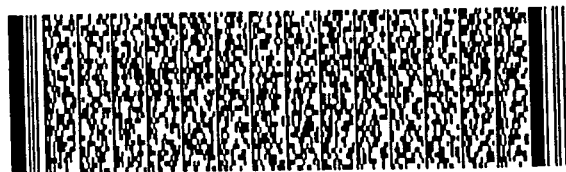
五、發明說明 (4)

內且具有與半導體基底相反之電性；一第二井區，設置於上述第一井區內且具有與第一井區相反之電性；一閘極介電層，設置於上述第二井區之部份表面，其中閘極介電層包含一氮化物層；一導電層，設置於上述閘極介電層上並與閘極介電層構成一閘極；以及一對第一摻雜區，對稱地設置於上述閘極兩側之第二井區內並部份接觸閘極且具有與第二井區相反之電性，其中藉由上述第一摻雜區之一、第二井區以及第一井區以構成一寄生之電流放大器 (parasitic current amplifier)。

又根據上述之目的，本發明提供了一種讀取此具有寄生放大器之二位元氮化物唯讀記憶單元之方法，包括：

自本發明之二位元氮化物唯讀記憶單元內選擇一讀取位元；浮接閘極並使上述讀取位元對稱側之第一摻雜區接地；施加一第一電壓於鄰近上述讀取位元之第一摻雜區以產生一遺漏電流流入第二井區；施加一第二電壓於讀取位元對稱側的第一井區以開啟由讀取位元對稱側之第一摻雜區、第二井區以及第一井區所構成之電流放大器 (current amplifier) 以放大該遺漏電流；以及量測讀取位元對稱側之該第一井區內的放大電流以讀取上述讀取位元之記憶狀態。

本發明之二位元氮化物唯讀記憶單元之具有結構新穎之特點，具有內建之寄生放大器，可供讀取此記憶單元時作為電流放大器使用。此外，讀取本發明之二位元氮化物唯讀記憶單元之方法特殊，係透過量測記憶單元內各位元



五、發明說明 (5)

內儲存電荷與否所造成之閘極誘發汲極遺漏 (Gate-induced drain leakage ; GIDL) 電流之差異，並利用前述寄生之電流放大器，配合前述適當之讀取方法以放大前述遺漏電流，以得到一放大之讀取電流，可明顯且準確地讀取並判斷出記憶單元位元之記憶狀態。

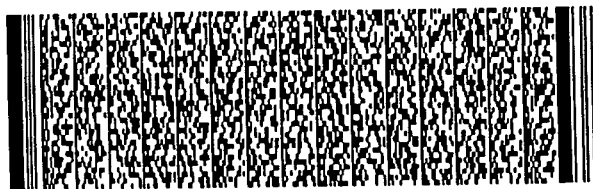
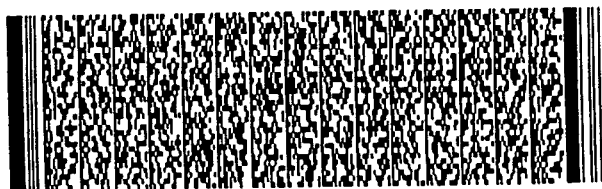
為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

四、實施方式：

具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法及其結構：

本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法將配合第2圖至第7圖作一詳細敘述如下。於第2圖中，首先提供一半導體基底，在此例如為p型矽材料所構成之一矽基底100。接著於此矽基底100表面形成用以定義記憶單元區域之遮蔽層102，其材質例如為光阻 (PR)。接著進行一離子植入程序104並以上述遮蔽層102為一離子植入罩幕 (implant mask)，以介於300~2000KeV之能量植入如磷(P)之n型離子以於矽基底100內形成一第一井區106，此第一井區106為經n型離子摻雜之n型井區，具有與矽基底100相反之電性且具有介於 $1 \times 10^{16} \sim 1 \times 10^{18}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

於第3圖中，於去除上述罩幕層102後，接著此矽基底100表面形成用以定義第二井區之遮蔽層108，其材質例如

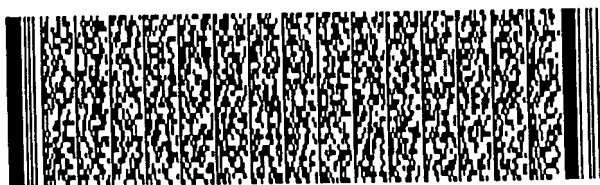


五、發明說明 (6)

為光阻(PR)。接著進行一離子植入程序110並以上述遮蔽層108為一離子植入罩幕(implant mask)，以介於50~1000KeV之能量植入如硼(B)之p型離子以於第一井區106內形成一第二井區112，此第二井區112為經p型離子摻雜之p型井區，具有與第一井區106相反之電性且具有介於 $1 \times 10^{16} \sim 1 \times 10^{18}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

於第4圖中，於去除先前之遮蔽層108後，接著依序於矽基底100上形成由一氧化層114、一氮化矽層116、一氧化層118所構成之一複合之介電層以及一導電層120，並定義上述膜層以構成一閘極G於第二井區112之部份表面上。於閘極G內，由上述氧化層114、一氮化矽層116以及一氧化層118所構成之閘極介電層122即為習知之氧化-氮化-氧化層(ONO layer)，而導電層120之材質則例如為複晶矽。上述閘極介電層122具有一介於100~250埃之厚度，其內之氧化層114、氮化矽層116以及氧化層116則具有一介於1:2:2~1:4:4之厚度比，而上述導電層之厚度則介於1000~3000埃。

於第5圖中，接著於矽基底100表面以及閘極G上形成用以定義此閘極G之源極/汲極區的圖案化遮蔽層124並露出部份第二井區112之表面，其材質例如為光阻(PR)。並藉由一離子植入程序126，以上述遮蔽層124為離子植入罩幕(implant mask)，以介於20~120KeV之能量植入如磷(P)或砷(As)之n型離子於露出之第二井區112內，以於閘極G兩側之第二井區112內對稱第形成兩第一摻雜區128及130



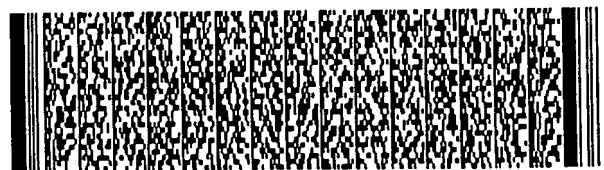
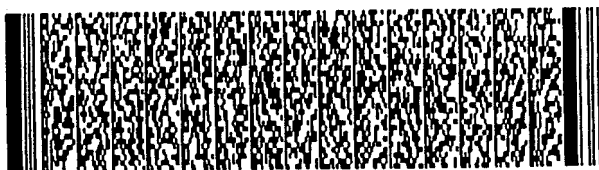
五、發明說明 (7)

並部份地接觸閘極G。此些第一摻雜區128、130為經n型離子摻雜之n型井區，具有與第二井區112相反之電性且具有介於 $1 \times 10^{19} \sim 1 \times 10^{21}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

於第6圖中，於去除先前之遮蔽層124後，接著於矽基底100表面以及閘極G上形成用以定義接觸節點之遮蔽層132並露出部份之第一井區106表面，遮蔽層132之材質例如為光阻(PR)。接著藉由一離子植入程序134，以上述遮蔽層132為離子植入罩幕(implant mask)，以介於20~120KeV之能量植入如磷(P)或砷(As)之n型離子於此些露出之第一井區106內，並於閘極G兩側之第一井區106內對稱地形成兩第二摻雜區136及138，此些第二摻雜區136及138為經n型離子摻雜之n⁺型井區，具有與第一井區106相同之電性且具有介於 $1 \times 10^{19} \sim 1 \times 10^{21}$ 原子/每平方公分(atoms/cm²)之較高摻雜濃度。

於第7圖中，於去除先前之遮蔽層132後，本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之製程即已完成。如第7圖，為本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之結構，包括：

如矽基底100之半導體基底；設置於半導體基底內且具有與半導體基底相反之電性的第一井區106；設置於第一井區106內且具有與第一井區106相反之電性的第二井區112；設置於第二井區112之部份表面上之閘極介電層122[由氧化層114、氮化矽層116以及氧化層116所構成之



五、發明說明 (8)

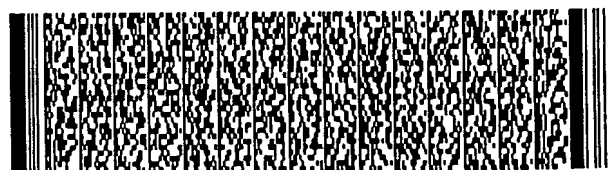
氧化-氮化-氧化層(ONO layer)]；導電層120，設置於閘極介電層122上並與閘極介電層122構成一閘極G；以及一對第一摻雜區128及130，對稱地設置於閘極G兩側之第二井區112內並部份接觸閘極G且具有與第二井區112相反之電性，其中第一摻雜區128及130之一、第二井區112以及第一井區106可構成一寄生之電流放大器(parasitic current amplifier)，此外，此二位元氮化物唯讀記憶單元更包括對稱地設置於第一井區106內兩側之兩第二摻雜區136及138。

程式化(PROGRAM)、抹除(ERASE)以及讀取(READ)此具有寄生放大器之二位元氮化物唯讀記憶單元之方法：

本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之程式化、抹除以及讀取方法將配合第8圖至第10圖作一詳細敘述如下。

首先請參照第8圖，於此二位元氮化物唯讀記憶單元具有兩分離之位元140及142，而此些位元140及142係約略地位於閘極G之兩側。於閘極介電層122中的氮化矽層116具有兩電荷儲存區144及146，其個別地鄰近於第一摻雜區128及130。此二電荷儲存區144以及146係於程式化期間提供電荷儲存之空間。

當程式化左邊的位元140時係利用左邊的第一摻雜區128作為汲極並接收一高程式化電壓(約介於1~10伏特)。同時，右邊的第一摻雜區130係作為源極並接地，且於閘極G上施加一適當電壓(約介於1~10伏特)以開啟位於閘極G

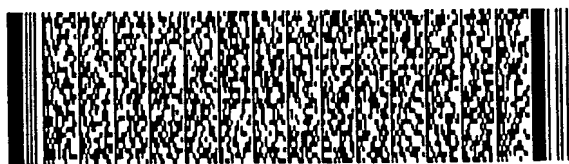


五、發明說明 (9)

下兩第一摻雜區128及130間的通道148，並利用熱電子效應以產生熱電子進入電荷儲存區144並儲存之而完成位元140的程式化程序。同理，當程式化右邊的位元142時則利用右邊的第一摻雜區130作為汲極並接收一高程式化電壓(約介於1~10伏特)。同時，左邊的第一摻雜區128係作為源極並接地，且於閘極G上施加一適當電壓(約介於1~10伏特)以開啟位於閘極G下兩第一摻雜區128及130間的通道148，並利用電荷儲存區146儲存電荷。

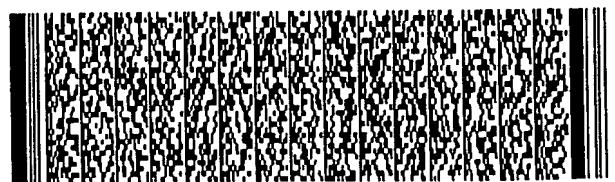
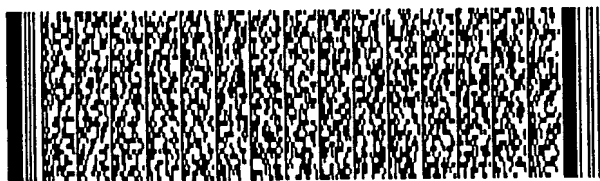
當抹除左邊的位元140時係施加一抹除電壓(約介於1~10伏特)於左邊的第一摻雜區128。同時，將右邊的第一摻雜區130浮接，且於閘極G上施加一適當電壓(約介於0~-5伏特)以產生電洞(h^+ ，未顯示)進入電荷儲存區144以達到抹除左邊的位元140之效果。同理，當抹除右邊的位元142時則施加一抹除電壓(約介於1~10伏特)於右邊的第一摻雜區130。同時，將左邊的第一摻雜區125浮接，且於閘極G上施加一適當電壓(約介於0~-5伏特)以產生電洞(h^+ ，未顯示)並進入電荷儲存區146以達到抹除右邊的位元142之效果。

請參照第9圖，為讀取此記憶單元方法之圖示。首先自此二位元氮化物唯讀記憶單元內選擇一讀取位元(如位元142或144)，在此以讀取右方之位元142為例，接著浮接(floating)閘極G並使位元142對稱側之第一摻雜區144接地。接著施加一第一電壓150(約介於1~10伏特)於鄰近此讀取位元(即位元142)之第一摻雜區130，以產生一遺漏電



五、發明說明 (10)

流 I_B 流入第二井區112，此遺漏電流 I_B 即為閘極誘發汲極遺漏(Gate-induced drain leakage; GIDL)電流。當位元142之電荷儲存區146內未儲存有電荷時(記憶狀態為0)，將可量測到一介於 10^{-6} ~ 10^{-4} 微安培(μA)之遺漏電流 I_B ，而當位元142之電荷儲存區146內儲存有電荷時(記憶狀態為1)，其內之儲存電荷將提供一適當之負電壓，故可量測得到一介於 10^{-2} ~1微安培(μA)之較高遺漏電流 I_B 。接著更施加一第二電壓152(約介於1~10伏特)於讀取位元(即位元142)對稱側第一井區106內的第二擴散區136上以開啟由讀取位元(即位元142)對稱側之第一摻雜區130、第二井區112以及第一井區106所構成之寄生於矽基底100內的雙載子接合電晶體(BJT transistor)以作為電流放大器(current amplifier)之用以放大此遺漏電流 I_B 。上述電流放大器之電路圖則如第10圖所示，係以第一摻雜區128所構成之射極(emitter; E)、第二井區112所構成之基極(base; B)以及第一井區106所構成之集極(collector; C)所組成，具有介於1~100倍之電流增益(current gain; β)，並經由習知公式 $I_C = \beta I_B$ 以放大此遺漏電流 I_B 並於此放大器之集極(即位元142對稱側之第一井區106內之第二摻雜區136)中量測出一放大電流 I_C 。並藉由判讀此放大電流 I_C ，當位元142儲存有電荷時(記憶狀態為1)，藉由其內之儲存電荷所提供適當之負電壓，將可得到一介於 10^{-2} ~1微安培(μA)之較高遺漏電流 I_B 並經由此 β 之電流增益之放大，故可得到一大於等於 10^{-2} 微安培(μA)[約介於



五、發明說明 (11)

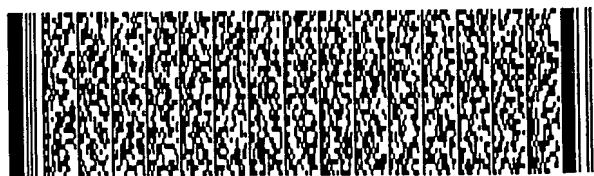
$10^{-2} \sim 10^2$ 微安培 (μA) 之放大電流 I_c ，當位元 142 未儲存有 (電荷時 (記憶狀態為 0)，則將得到一低於 10^{-2} 微安培 (μA) [介於 $10^{-6} \sim 10^{-2}$ 微安培 (μA)] 之放大電流 I_c ，當位元之記憶狀態為 0 與 1 時兩者間之放大電流差異極大，可明顯且準確地量測並讀取位元 142 之記憶狀態。

同理，上述讀取方法亦適用於讀取左方的位元 140 之過程，只需將讀取之各接點左右對調，並藉由判讀此寄生之電流放大器所放大得到之放大電流 I_c ，可進而讀出此位元 140 之記憶狀態，故不在此另行敘述。

本發明之二位元氮化物唯讀記憶單元之具有以下特點：

1. 本發明之二位元氮化物唯讀記憶單元之結構新穎，具有內建之寄生放大器，可供讀取此記憶單元時作為電流放大器使用。

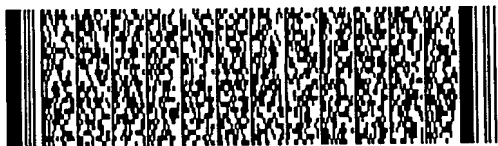
2. 讀取本發明之二位元氮化物唯讀記憶單元之方法特殊，係透過觀察記憶單元內各位元內儲存電荷與否所造成之閘極誘發汲極遺漏 (Gate-induced drain leakage; GIDL) 電流之差異，並利用前述寄生之電流放大器，配合前述適當之讀取方法以放大前述遺漏電流，以得到一放大之讀取電流。相較於習知記憶單元中利用 MOS 電晶體操作方式及美國第 5768192 號專利案中，Eitan 揭露之程式化與讀取方向互為相反之讀取特定位元記憶狀態的方法，本發明之讀取方法作用原理與習知方法大為不同，本發明之方法可明顯且準確地讀取並判斷出記憶單元位元之記憶狀



五、發明說明 (12)

態。

雖然本發明已以較佳實施方法揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為一剖面圖，用以說明一傳統的二位元氮化物唯讀記憶單元之結構。

第2圖至第7圖為一系列之剖面圖，用以說明本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法及結構。

第8圖至第10圖為一系列之剖面圖，用以說明本發明之具有寄生放大器之二位元氮化物唯讀記憶單元之程式化、抹除以及讀取方法。

相關符號說明：

10、100~矽基底；

12、14~擴散區；

16、20、114、118~氧化層；

18、116~氮化矽層；

22~ONO層；

24~閘極導電層；

26、148~通道；

28、30、144、146~電荷儲存區；

102、108、124、132~遮蔽層；

104、110、126、134~離子植入程序；

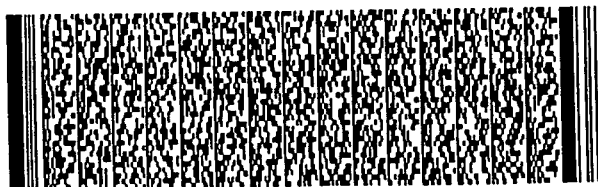
106~第一井區；

112~第二井區；

120~導電層；

122~閘極介電層；

128、130~第一摻雜區；



圖式簡單說明

136、138~ 第二摻雜區；

140、142~ 位元；

150~ 第一電壓；

152~ 第二電壓；

G~ 閘極；

E~ 射極；

B~ 基極；

C~ 集極；

I_B ~ 遺漏電流；

I_C ~ 放大電流。



六、申請專利範圍

1. 一種具有寄生放大器之二位元氮化物唯讀記憶單元，包括：

一半導體基底；

一第一井區，設置於該半導體基底內且具有與該半導體基底相反之電性；

一第二井區，設置於該第一井區內且具有與該第一井區相反之電性；

一閘極介電層，設置於該第二井區之部份表面，且該閘極介電層包含一氮化物層；

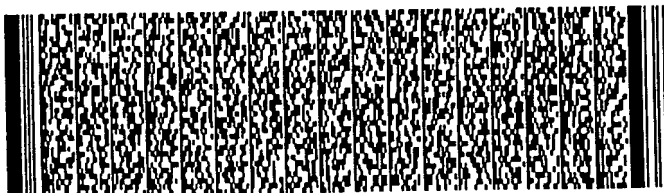
一導電層，設置於該閘極介電層上並與該閘極介電層構成一閘極；以及

一對第一摻雜區，對稱地設置於該閘極兩側之該第二井區內並部份接觸該閘極且具有與該第二井區相反之電性，其中藉由該等第一摻雜區之一、該第二井區以及該第一井區以構成一寄生之電流放大器(parasitic current amplifier)。

2. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該半導體基底為p型矽基底。

3. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該導電層材質為複晶矽。

4. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該等第一摻雜區為n型摻雜區，具有一介於 $1 \times 10^{16} \sim 1 \times 10^{18}$ 原子/每平方公分



六、申請專利範圍

(atoms/cm²)之摻雜濃度。

5. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中更包括一對第二摻雜區，對稱地設置於該閘極兩側之該第一井區內。

6. 如申請專利範圍第5項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該等第二摻雜區為n⁺摻雜區，具有一介於 $1 \times 10^{19} \sim 1 \times 10^{21}$ 原子/每平方公分 (atoms/cm²)之摻雜濃度。

7. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該電流放大器為一雙載子連接電晶體(Bipolar Junction Transistor; BJT)，係由該等第一摻雜區之一所構成之射極(emitter)、該第二井區所構成之基極(base)以及該第一井區所構成之集極(collector)所組成。

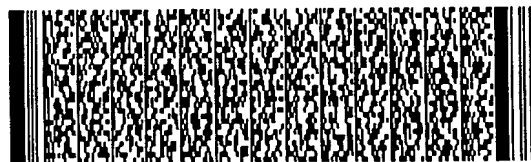
8. 如申請專利範圍第1項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該閘極介電層係為一氧化一氮化一氧化層(ONO layer)。

9. 一種具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，包括：

提供一半導體基底；

於該半導體基底內形成一第一井區，其中該第一井區具有與該半導體基底相反之電性；

於該第一井區內形成一第二井區，其中該第二井區具有與該第一井區相反之電性；



六、申請專利範圍

依序形成一介電層及一導電層於該第二井區表面，並定義該介電層及該導電層以構成一閘極於該第二井區之部份表面上，其中該介電層包含一氮化物層；以及

形成一對第一摻雜區，對稱地設置於該閘極兩側之第二井區內並部份接觸該閘極且具有與該第二井區相反之電性，其中藉由該等第一摻雜區之一、該第二井區以及該第一井區以構成一寄生之電流放大器(parasitic current amplifier)。

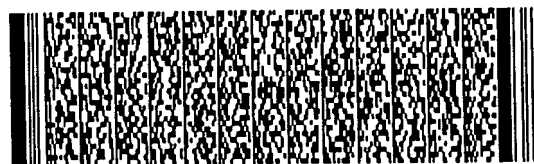
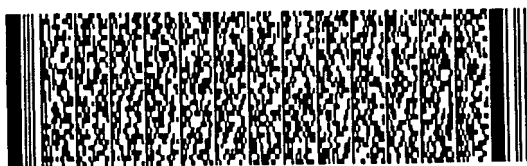
10. 如申請專利範圍第9項所述之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，其中該介電層係為一氧化一氮化一氧化層(ONO layer)。

11. 如申請專利範圍第9項所述之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，其中該等第一摻雜區為n型摻雜區，具有一介於 $1 \times 10^{16} \sim 1 \times 10^{18}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

12. 如申請專利範圍第9項所述之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，更包括形成一對第二摻雜區，對稱地設置於該閘極兩側之該第一井區內之步驟。

13. 如申請專利範圍第12項所述之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，其中該等第二摻雜區為n⁺型摻雜區，具有一介於 $1 \times 10^{19} \sim 1 \times 10^{21}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

14. 如申請專利範圍第9項所述之具有寄生放大器之



六、申請專利範圍

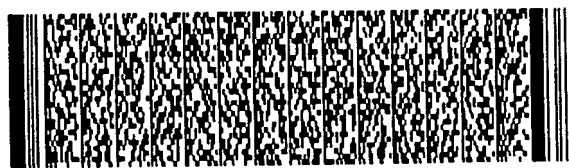
二位元氮化物唯讀記憶單元之製造方法，其中該半導體基底為p型矽基底。

15. 如申請專利範圍第9項所述之具有寄生放大器之二位元氮化物唯讀記憶單元之製造方法，其中該導電層材質為複晶矽。

16. 如申請專利範圍第9項所述之具有寄生放大器之二位元氮化物唯讀記憶單元，其中該電流放大器為一寄生之雙載子接合電晶體(BJT transistor)，包括該等第一摻雜區之一所構成之射極、該第二井區所構成之基極以及該第一井區所構成之集極。

17. 一種讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，該方法適用於讀取一具有寄生放大器之二位元氮化物唯讀記憶單元，其包括有一半導體基底；一第一井區，設置於該半導體基底內且具有與該半導體基底相反之電性；一第二井區，設置於該第一井區內且具有與該第一井區相反之電性；一閘極介電層，設置於該第二井區之部份表面，且該閘極介電層包含一氮化物層；一導電層，設置於該閘極介電層上並與該閘極介電層構成一閘極；以及一對第一摻雜區，對稱地設置於該閘極兩側之該第二井區內並部份接觸該閘極且具有與該第二井區相反之電性，其中藉由該等第一摻雜區之一、該第二井區以及該第一井區以構成一寄生之電流放大器(parasitic current amplifier)，該讀取方法包括下列步驟：

自該二位元氮化物唯讀記憶單元內選擇一讀取位元，



六、申請專利範圍

並浮接該閘極以及使該讀取位元對稱側之該第一摻雜區接地；

施加一第一電壓於鄰近該讀取位元之該第一摻雜區以產生一遺漏電流入該第二井區；

施加一第二電壓於該讀取位元對稱側的該第一井區以開啟由該讀取位元對稱側之該第一摻雜區、該第二井區以及該第一井區所構成之電流放大器(current amplifier)以放大該遺漏電流；以及

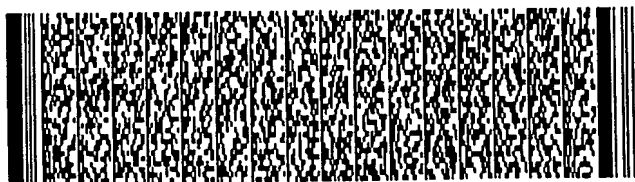
量測該讀取位元對稱側之該第一井區內的放大電流以讀取該讀取位元之記憶狀態。

18. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中當該放大電流小於 10^{-2} 微安培(μA)時，該讀取位元之記憶狀態為0。

19. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中當該放大電流大於等於 10^{-2} 微安培(μA)時，該讀取位元之記憶狀態為1。

20. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該第一電壓介於1~10伏特。

21. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該第二電壓介於1~10伏特。



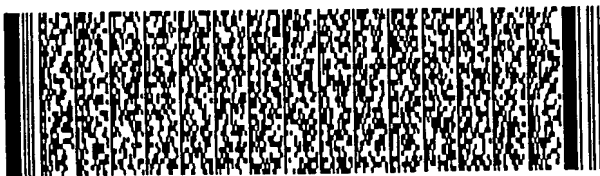
六、申請專利範圍

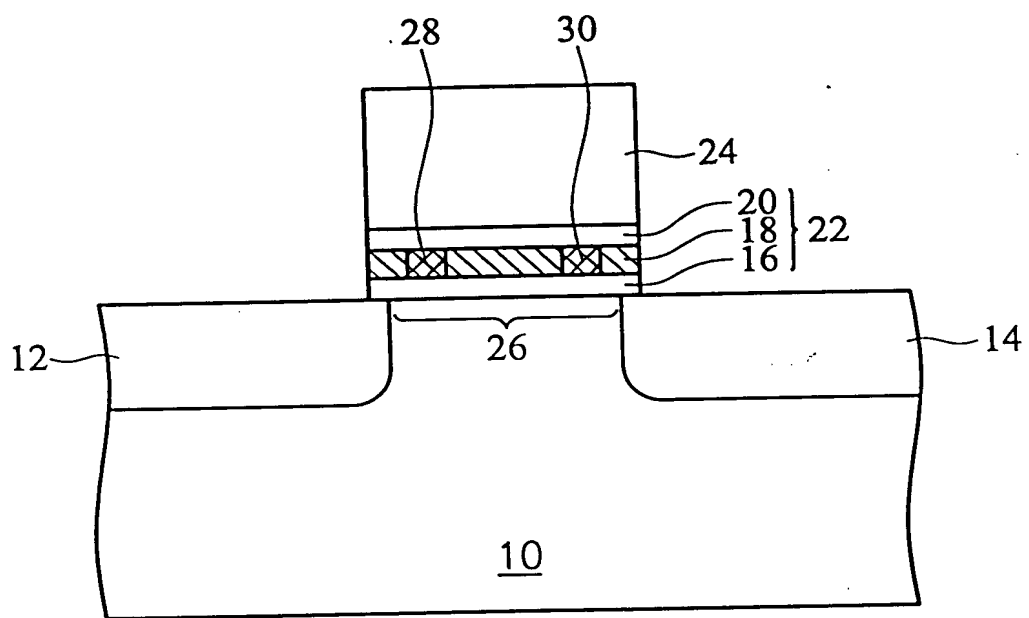
22. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該電流放大器具有介於1~100倍之電流增益(current gain)。

23. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該遺漏電流為一閘極誘發汲極遺漏(Gate-induced drain leakage ; GIDL)電流。

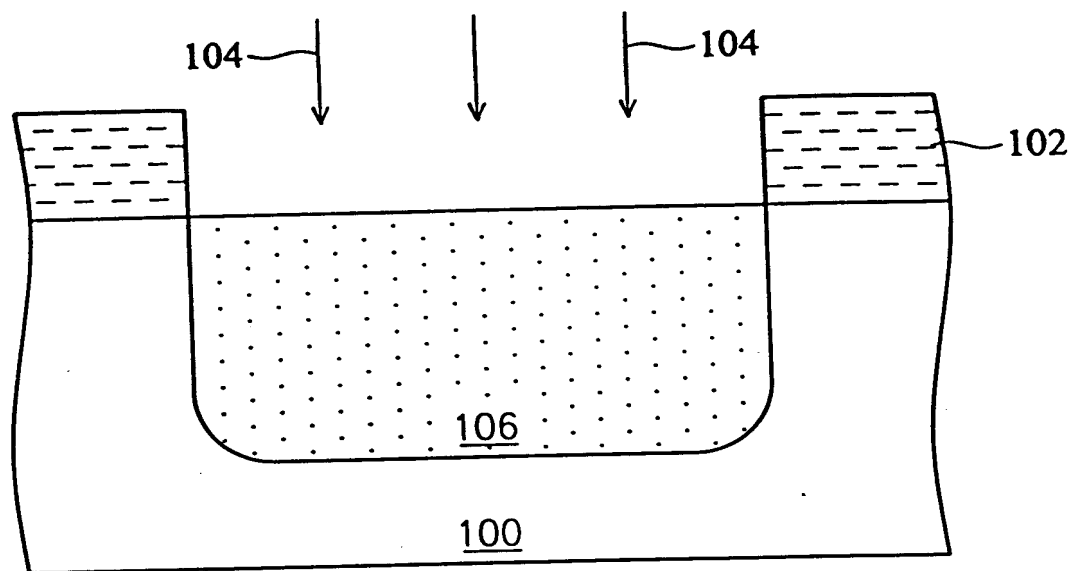
24. 如申請專利範圍第17項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該第二電壓係施加於該讀取位元對稱側之該第一井區中的一第二摻雜區上。

25. 如申請專利範圍第24項所述之讀取具有寄生放大器之二位元氮化物唯讀記憶單元記憶狀態之方法，其中該第二摻雜區為 n^+ 型摻雜區，具有介於 $1 \times 10^{19} \sim 1 \times 10^{21}$ 原子/每平方公分(atoms/cm²)之摻雜濃度。

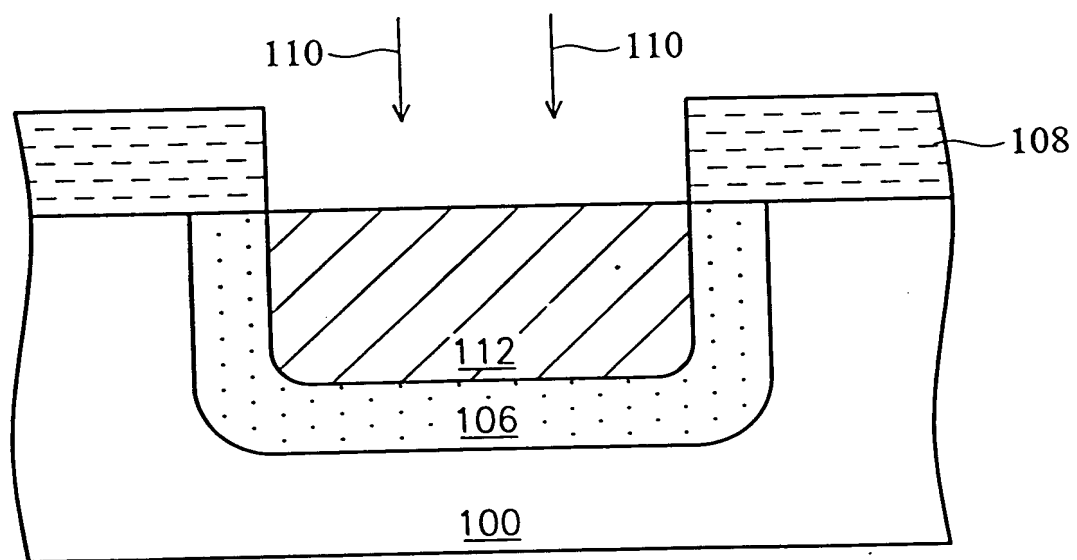




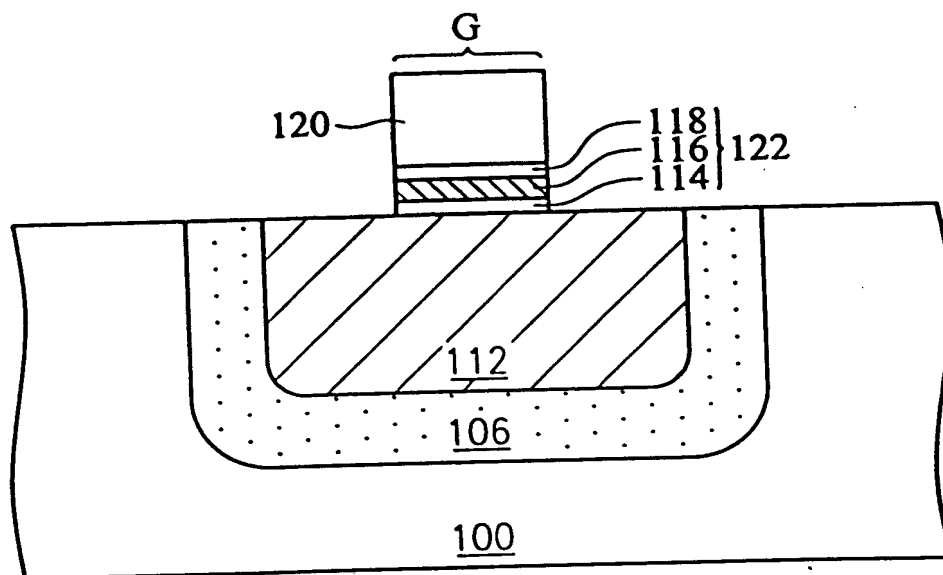
第 1 圖



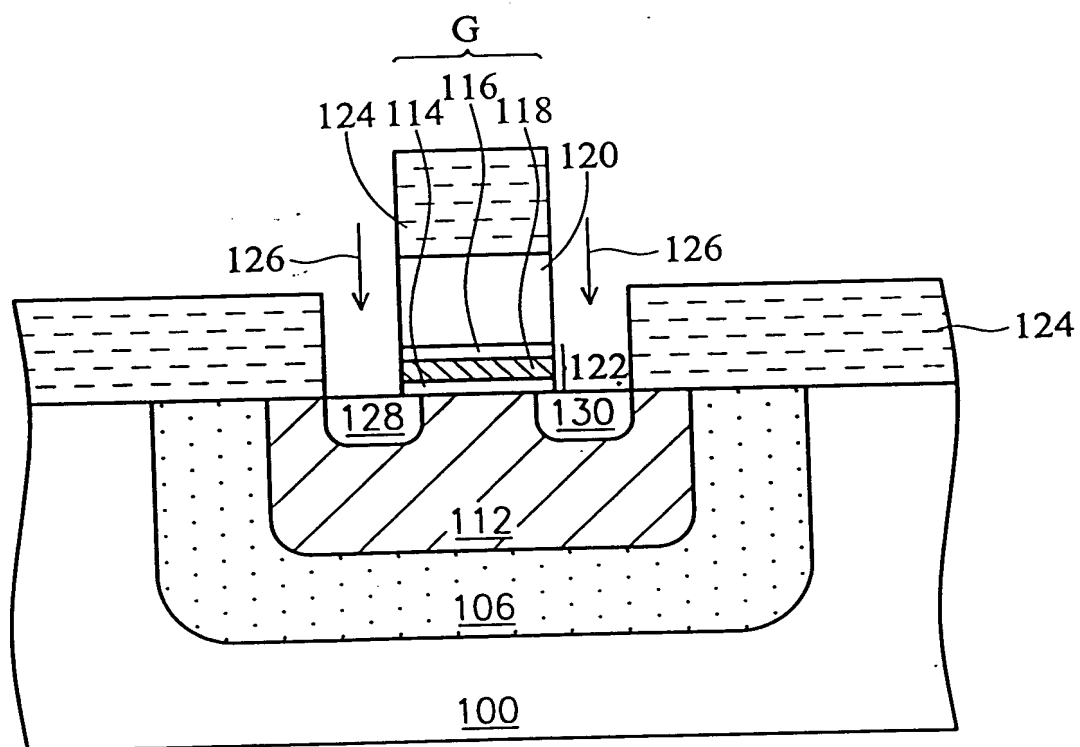
第 2 圖



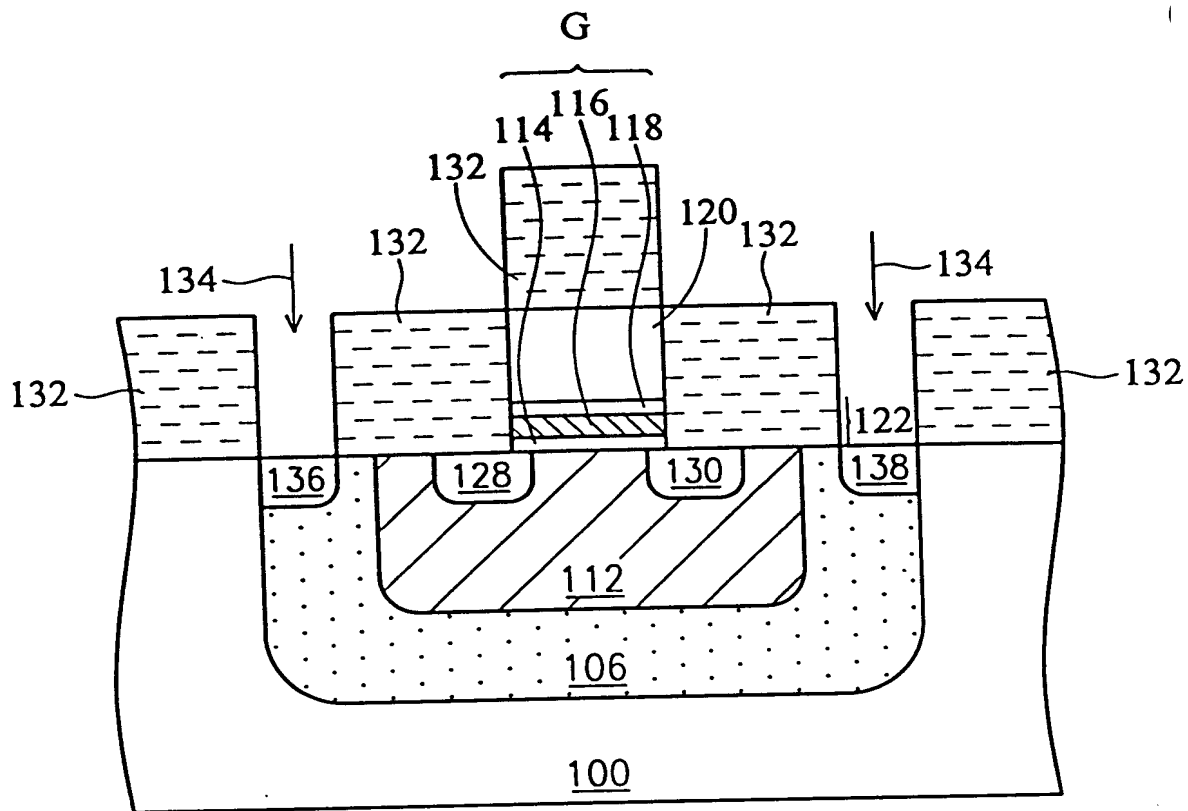
第 3 圖



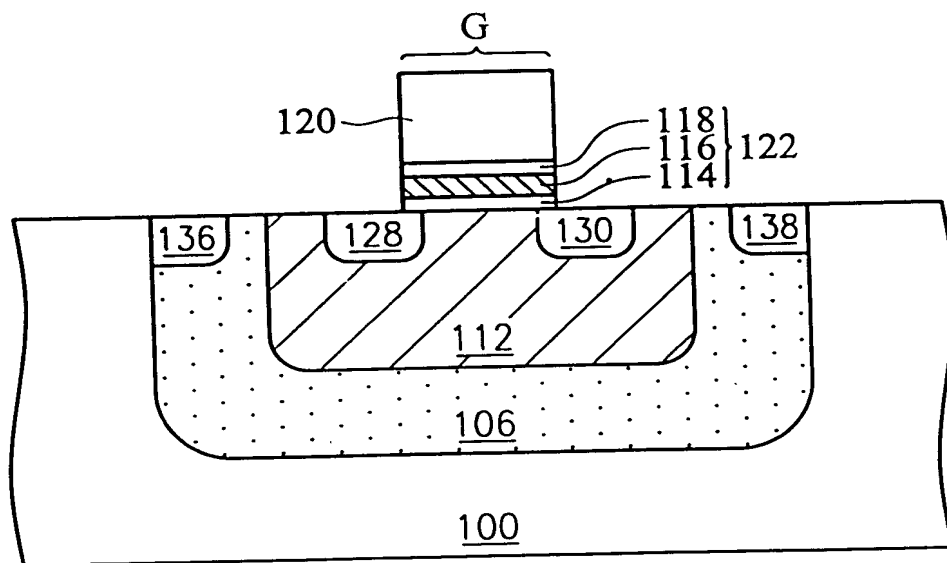
第 4 圖



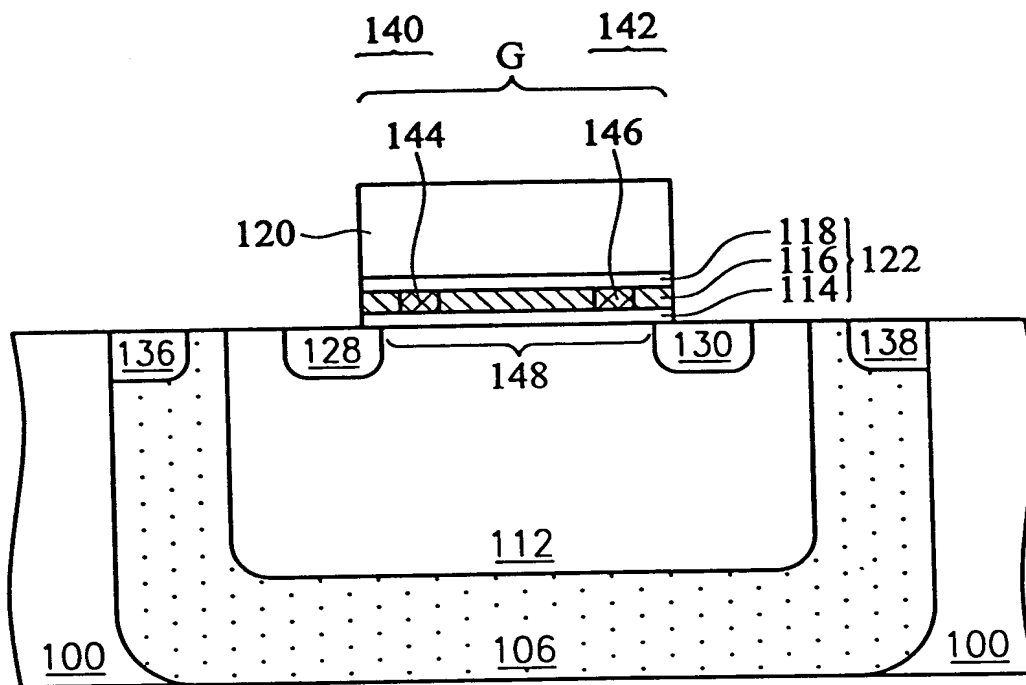
第 5 圖



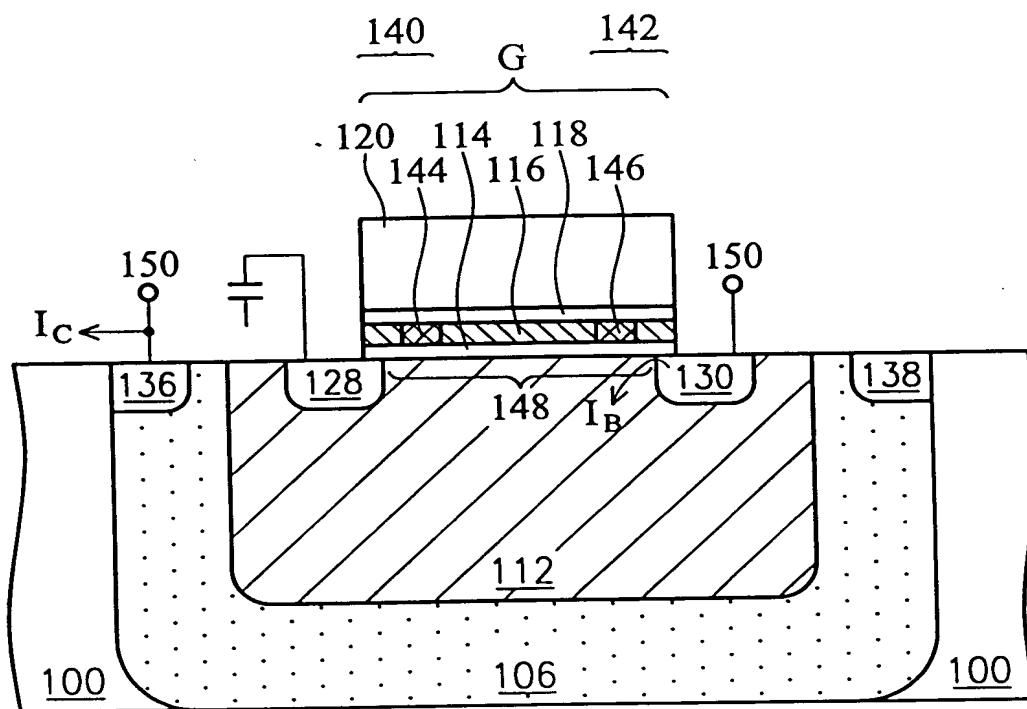
第 6 圖



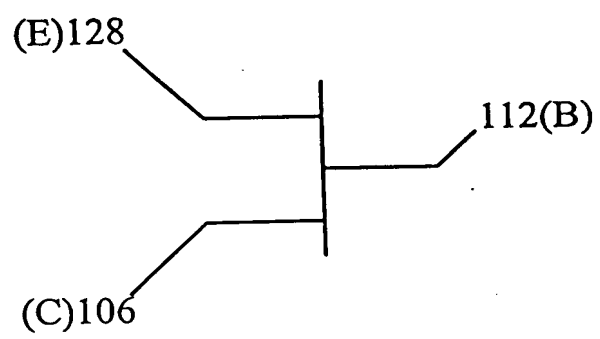
第 7 圖



第 8 圖

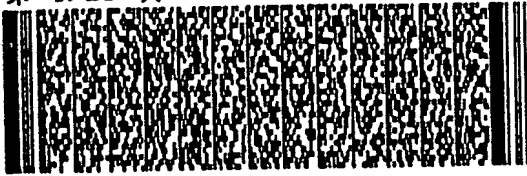


第 9 圖

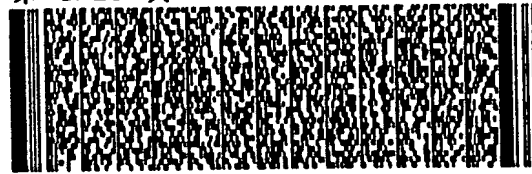


第 10 圖

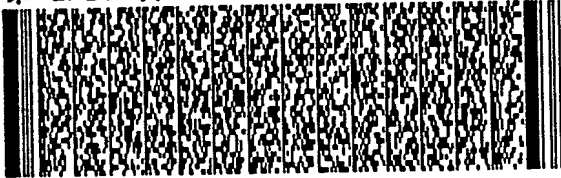
第 1/25 頁



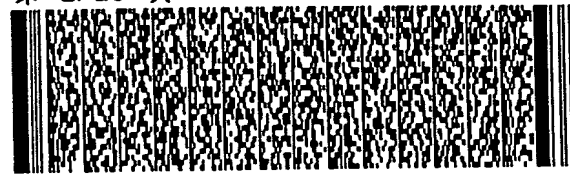
第 1/25 頁



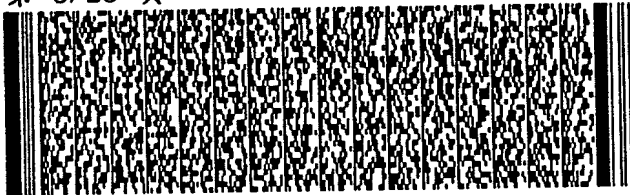
第 2/25 頁



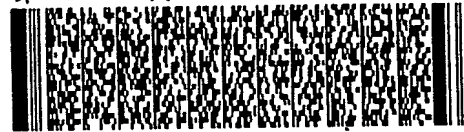
第 2/25 頁



第 3/25 頁



第 4/25 頁



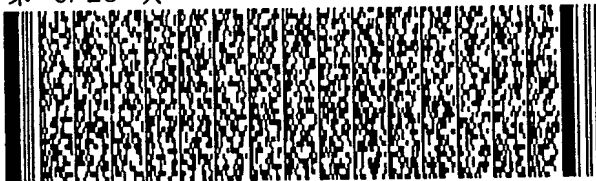
第 5/25 頁



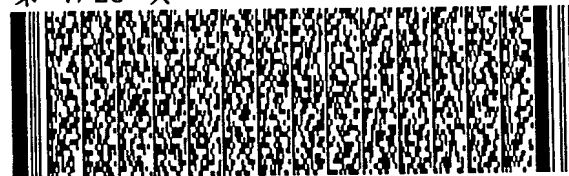
第 6/25 頁



第 6/25 頁



第 7/25 頁



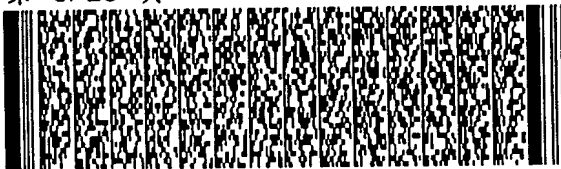
第 7/25 頁



第 8/25 頁



第 8/25 頁



第 9/25 頁



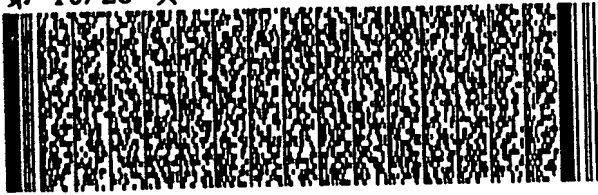
第 9/25 頁



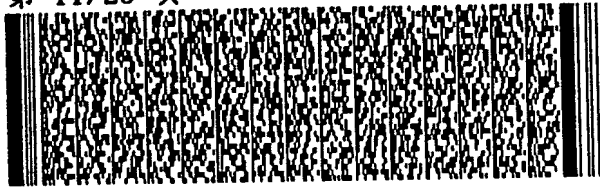
第 10/25 頁



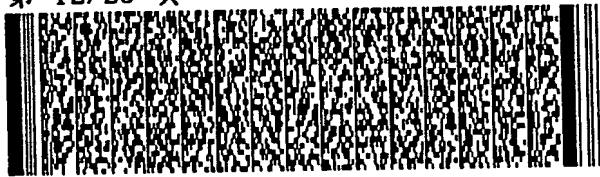
第 10/25 頁



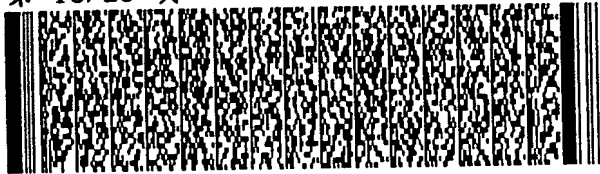
第 11/25 頁



第 12/25 頁



第 13/25 頁



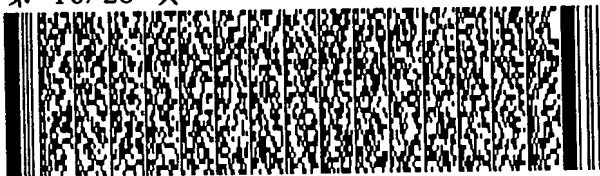
第 14/25 頁



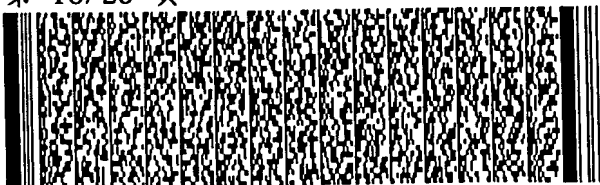
第 15/25 頁



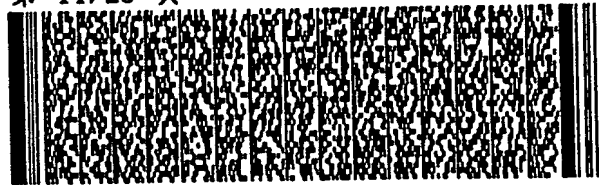
第 16/25 頁



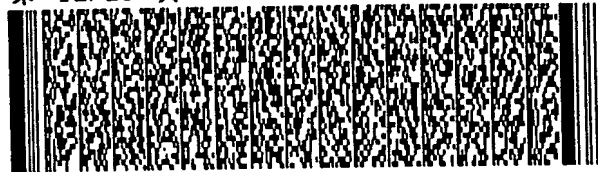
第 18/25 頁



第 11/25 頁



第 12/25 頁



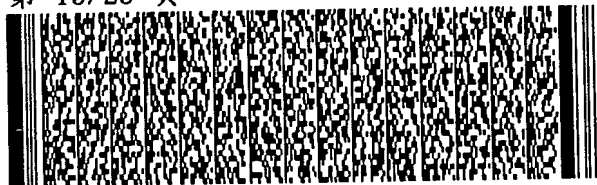
第 13/25 頁



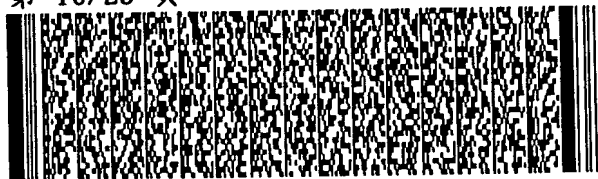
第 14/25 頁



第 15/25 頁



第 16/25 頁



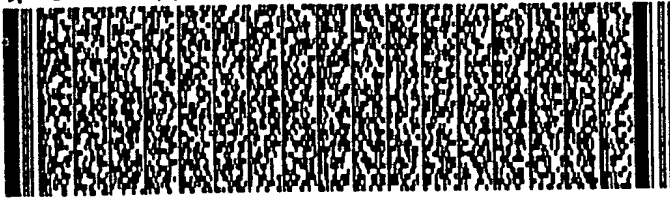
第 17/25 頁



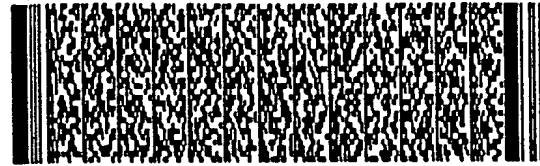
第 19/25 頁



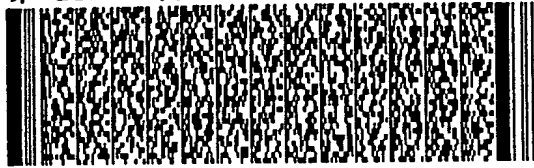
第 20/25 頁



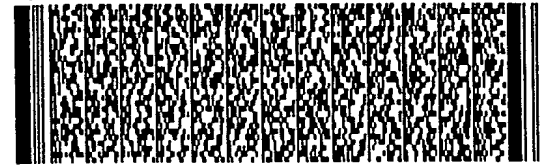
第 21/25 頁



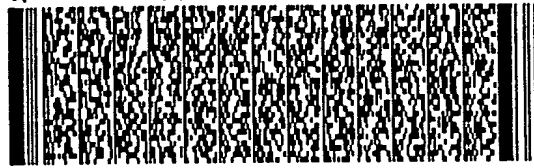
第 21/25 頁



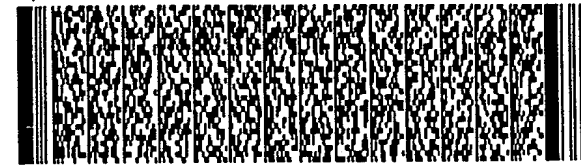
第 22/25 頁



第 22/25 頁



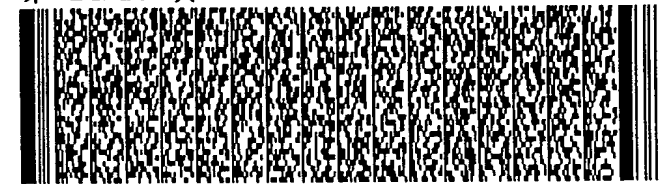
第 23/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

